컴퓨터 공학 기초 설계 및 실험1

예비 보고서

실험제목 : Latch & Flip Flop

실험일자: 2018년 03월 22일 (목)

제출일자: 2018년 03월 29일 (목)

학 과: 컴퓨터정보공학부

담당교수: 이준환

실습분반: 목요일(0,1,2)

학 번: 2015722025

성 명: 정용훈

예비보고서

1. 제목 및 목적
   1. 제목

Latch & Flip Flop

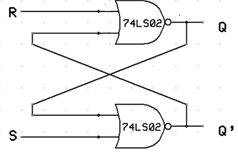
* 1. 목적

Latch와 Flip Flop은 1비트이 정보를 저장하고 유지 할 수 있는 메모리 소자입니다. Latch와 Flip Flop의 개념과 알고 실험을 통해 원리를 이해하며 소자가 동작하는 결과 값을 보며 각 소자들의 특징을 알 수 있고 차이점을 알 수 있습니다.

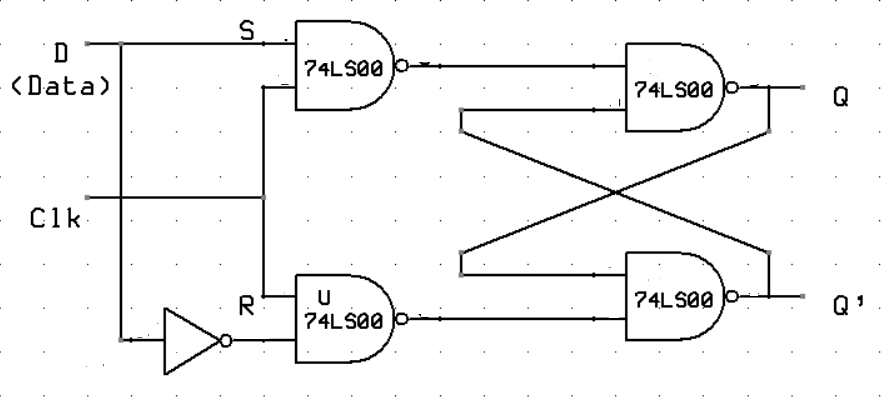
1. 원리(배경지식)

앞서 목적에서 말했던 것처럼 Latch와 Flip Flop은 정보를 저장하고 유지 할 수 있는 메모리 소자입니다. 메모리 소자의 개념을 알기 전에 조합 회로와 순차 회로가 무엇인지 알아야합니다. ‘조합 회로’란 메모리가 없으며 입력 값에 따라 회로의 출력이 결정되는 회로를 말하는 것이고 ‘순차 회로’란 메모리가 있으며 메모리에는 회로의 현 상태가 저장 됩니다, 그럼으로써 입력 값과 현상태에 따라 회로의 출력과 다음 상태가 결정되는 것을 말합니다. ‘조합 회로’와 ‘순차 회로’의 개념을 알았으면 Latch와 Flip Flop의 공통점과 차이점, 회로도와 진리표를 보겠습니다. 두 소자의 공통점은 전원이 공급되고 있는 한, 상태의 변화를 위한 신호가 발생 할 때까지 지금의 상태를 유지하는 논리회로 입니다. 전원을 차단하면 휘발성이라는 특징도 가지고 있습니다. 두소자의 차이점은 ‘클럭’의 유무 인데 ‘클럭’ 이란, 일종의 특정한 신호입니다, 이 신호는 컴퓨터의 모든 부품들이 동작 할 때 맞추어 동작하는 신호를 말합니다. ‘Flip Flop’은 입력을 출력에 반영하는 시점을 클럭 신호에 따라 반영하며, ‘Latch’는 입력에 따라 항상 반영되는 것으로 구분할 수 있습니다. ‘Latch’의 종류는 ‘S-R Latch’, ‘D Latch’로 나뉘며 ‘S-R Latch’는 입력이 S와 R 로 두개이며 출력의 형태는 SET, RESET인 Latch의 한 종류입니다. ‘S-R Latch’와는 다르게 ‘D Latch’는 D(Data)라는 하나의 입력을 가지고, 새로운 입력인 ‘ENABLE’입력을 가집니다. NOR gate로 구성한 ‘S-R Latch’는 아래와 같이 볼 수 있습니다.

|  |  |  |  |
| --- | --- | --- | --- |
| S | R | Q | Q’ |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 |  |  |
| 1 | 1 | 0 | 0 |



‘D Latch’는 아래와 같은 회로를 구성하고 있습니다.

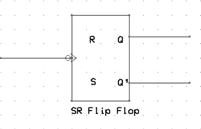


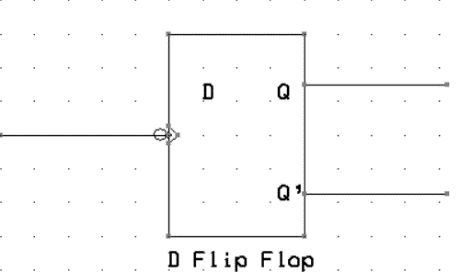
‘D Latch’는 Input이 D이며 S-R Latch를 생각 했을 때 D=S, R=D’인 ‘Latch’입니다. ‘S-R Latch’와는 크게 다른 것이 없습니다.

또한 ‘Flip Flop’의 종류도 여러 개로 나뉘는데, ‘R-S Flip Flop’, ‘J-K Flip Flop’, ‘D Flip Flop’, T Flip Flop’ 로 나뉩니다. ‘Flip Flop’들을 Symbol과 진리표로 나타내면 아래와 같은 그림으로 나타낼 수 있습니다.

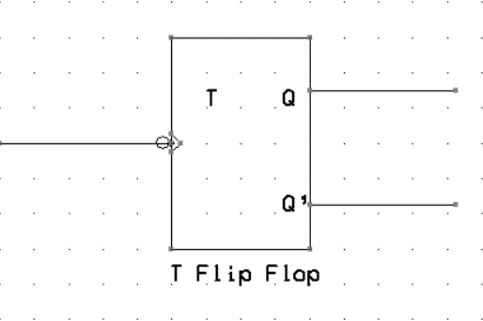
|  |  |  |
| --- | --- | --- |
| R | S | Qn+1 |
| 0 | 0 | Qn |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 부정 |

|  |  |  |
| --- | --- | --- |
| D | CP | Qn+1 |
| 0 | ↑ | 0 |
| 1 | ↑ | 1 |

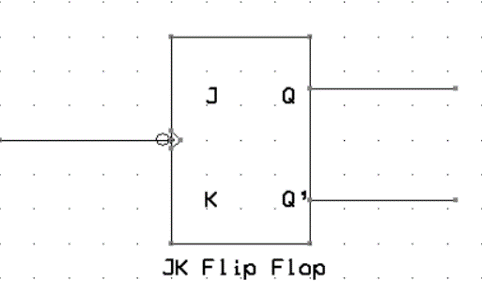




|  |  |  |  |
| --- | --- | --- | --- |
| J | K | CP | Qn+1 |
| 0 | 0 | ↑ | Qn |
| 0 | 1 | ↑ | 0 |
| 1 | 0 | ↑ | 1 |
| 1 | 1 | ↑ | Qn’ |



|  |  |  |
| --- | --- | --- |
| T | CP | Qn+1 |
| 0 | ↑ | Qn |
| 1 | ↑ | Qn’ |



래치와 플리플롭은 회로를 봤을 때 Symbol을 봤을 때 많은 차이가 있지 않습니다. 위에서는 간단히 클럭의 유무라고 설명을 써 놨지만, 조금 더 설명하면 래치는 비동기 쌍 안정 멀티 바이브레이터 회로이고 플립 플롭은 동기식 쌍 안정 멀티 바이브레이터 회로입니다. 래치에서, 인 에이블 상태가 하이 상태에 있을 때, 유지 상태는 언제든지 바뀔 수 있지만, 플립 플롭에서는 유지 상태가 클럭 신호의 상승 에지 또는 하강 엣지에서만 변경 될 수 있습니다.

1. 참고문헌

조합 회로와 순차 회로의 개념

<https://blog.naver.com/tb_elec_engineer/221034769694>

Latch와 관련된 설명

<http://terms.naver.com/entry.nhn?docId=1617547&cid=50324&categoryId=50324>

<https://blog.naver.com/tnalsdl326/220195772770>

Flip Flop과 관련된 설명

<http://terms.naver.com/entry.nhn?docId=823598&cid=42344&categoryId=42344>

두 소자의 차이점

<http://forum.falinux.com/zbxe/index.php?document_srl=565621&mid=hardware>

클럭에 대한 개념

<http://terms.naver.com/entry.nhn?docId=73052&cid=43667&categoryId=43667>

Latch의 회로도와 Flip Flop의 Symbol

보고서에 사용한 이미지는 ExpressSCH 프로그램으로 직접 그렸습니다.